Письма в ЖЭТФ, том 115, вып. 12, с. 786 – 792

Фазовая логика на основе джозефсоновских π-контактов

А. А. Максимовская[+*], *В. И. Ружицкий*[+*×], *Н. В. Кленов*[+*×1)], *С. В. Бакурский*[×], *М. Ю. Куприянов*[×], *И. И. Соловьев*[+*×]

[+]*Физический факультет МГУ им. М. В. Ломоносова, 119991 Москва, Россия*

[*]*Всероссийский научно-исследовательский институт автоматики им. Н. Л. Духова, 103030 Москва, Россия*

[×]*Научно-исследовательский институт ядерной физики им. Д. В. Скобельцына МГУ, 119991 Москва, Россия*

Поступила в редакцию 22 апреля 2022 г.
После переработки 6 мая 2022 г.
Принята к публикации 7 мая 2022 г.

Переход к джозефсоновским цифровым схемам с представлением информации в виде скачков фазы сверхпроводящего параметра порядка на гетероструктурах обещает радикальный рост степени интеграции при сохранении высокого быстродействия и энергоэффективности. Однако изготовить на практике воспроизводимые бистабильные джозефсоновские контакты, необходимые для функционирования ранее предложенных базовых блоков фазовой логики, пока не представляется возможным. Для решения этой проблемы в статье предложена и проанализирована в рамках резистивной модели джозефсоновских гетероструктур концепция фазовой логики на основе π-контактов. Потенциальная энергия таких контактов имеет единственный минимум, при разности параметров порядка электродов, равной π. Показано, что использование π-контактов позволяет реализовать весь набор логических устройств, необходимых для работы цифровых вычислительных устройств на основе фазовой логики.

DOI: 10.31857/S1234567822120060, EDN: imtefq

Введение. Цифровая сверхпроводниковая электроника, использующая особенности эффектов Джозефсона и макроскопической квантовой интерференции в сверхпроводниковых цепях, позволяет создавать перспективные аналого-цифровые и цифро-аналоговые преобразователи, децимационные фильтры, времяизмерительные системы, корреляторы, арифметико-логические устройства с уникальными показателями быстродействия и энергоэффективности [1–12]. При типичном значении тактовой частоты 20 ГГц мощность динамической диссипации в расчете на один джозефсоновский контакт может быть доведена до 13 нВт [2]. Также джозефсоновские устройства могут стать незаменимыми помощниками при работе со сверхпроводниковыми квантовыми вычислительными системами [13–18].

Для широкого применения цифровых схем на основе быстрой одноквантовой (БОК) логики с представлением информации в виде наличия/отсутствия кванта магнитного потока Φ_0 в сверхпроводящем контуре логической ячейки, критически важно уменьшить их характерные размеры. Существующие оценки [19] для максимальной плотности элементов в схемах, использующих геометрическую индуктивность для хранения информации и сверхпроводящие "полоски" для соединений, дают порядка 10^7 джозефсоновских контактов на квадратный сантиметр. Дальнейшее уменьшение планарных размеров ячеек и расстояний между ними является проблематичным из-за почти экспоненциального роста взаимных индуктивностей и перекрестных помех. Особенно значима проблема миниатюризации в джозефсоновских схемах, предназначенных для работы при сверхнизких температурах в гибридных квантово-классических вычислителях, где необходимо уменьшать критический ток гетероструктур, чтобы избежать лишнего нагрева криогенной системы.

Перспективным решением обозначенной проблемы является переход к так называемой *фазовой логике*, в основе которой лежат два основных принципа:

– информация хранится в фазе бистабильного джозефсоновского элемента, а не в наличии/отсутствии кванта магнитного потока в базовой ячейке;

– в схемотехнических решениях отсутствуют соединительные индуктивности: электрические цепи содержат только джозефсоновские контакты.

Пара логических состояний "0" и "1" может быть получена даже с использованием одного бистабильного джозефсоновского контакта [20–24]. В этом

1)e-mail: nvklenov@gmail.com

случае хранящий информацию элемент логических устройств сводится к этому одиночному контакту. Его состояние определяется тем, в каком из двух минимумов энергии, соответствующих скачку фазы параметра порядка (*фазе элемента*) $\varphi = \varphi_0$ или $\varphi = \varphi_1$, он в данный момент находится. Распространению информации соответствует волна изменения фазы сверхпроводящего параметра порядка, а не распространения флаксона.

На основе предложенного подхода были разработаны компактные, энергоэффективные схемы, полезные для практической реализации фазовой логики и памяти [25, 26]. Было показано, что характерные планарные размеры цифровых устройств могут быть на порядок меньше традиционных БОК-реализаций (площадь на чипе под 8-битный сумматор можно уменьшить с более чем 200 мкм^2 до 22 мкм^2) [25]. К сожалению, до настоящего времени вопросы изготовления бистабильных джозефсоновских контактов с заданными и воспроизводимыми параметрами находятся лишь в стадии разработки.

В данной статье мы продемонстрируем, что работоспособные цифровые схемы фазовой логики могут быть сконструированы на основе комбинаций из 0- и π-контактов (со сдвинутой на π ток-фазовой зависимостью), обеспечивающих бистабильность базового блока необходимую для работы этой логики. Необходимо отметить, что технология изготовления 0- и π-контактов в настоящее время достаточно хорошо отработана [27–31].

Общие принципы работы схем фазовой логики. На рисунке 1 представлена схема базового блока фазовой логики, на которой в виде восьмиконечных крестов представлены элементы с двумя устойчивыми физически различимыми состояниями, которым соответствуют фазы минимумов потенциальной энергии φ_0 и φ_1 $(0 \leq \varphi_1 < \pi$ и $\pi \leq \varphi_2 < 2\pi)$. Особо подчеркнем отсутствие в базовом блоке индуктивностей, предназначенных для хранения квантов магнитного потока. В подводящих джозефсоновских передающих линиях (all-JJTL) также все соединительные геометрические индуктивности заменены на джозефсоновские.

Информация в данном базовом блоке хранится в фазе элемента J_m: его потенциальная энергия имеет два минимума при $\varphi = \varphi_1$ и $\varepsilon = \varphi_2$ соответственно. Джозефсоновские контакты J_{in} и J_{out} являются входным и выходным портами схемы. Элемент J_l соединяет хранящий информацию элемент блока J_m с выходом схемы J_{out}. Его параметры в первую очередь влияют на механизм считывания состояния. Бистабильный элемент J_v соединяет вход

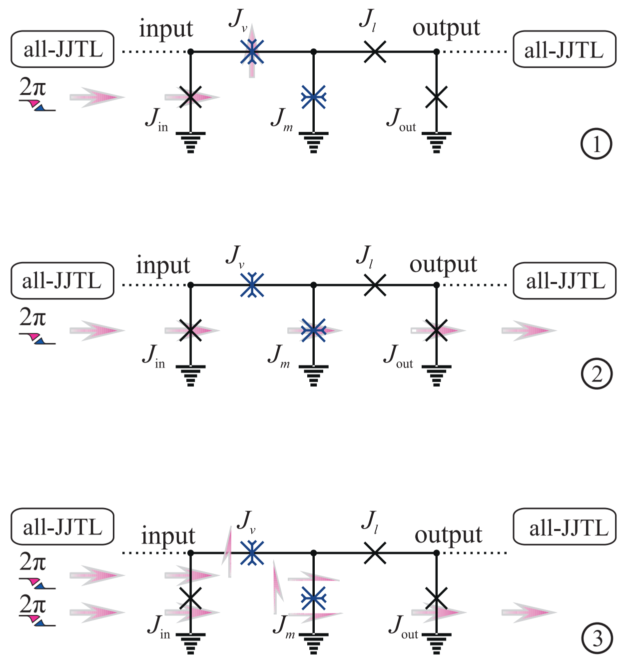

Рис. 1. (Цветной онлайн) Базовый блок схем фазовой логики на бистабильных контактах, функционирующий в следующих режимах: *1* – ограничитель; *2* – линия передачи; *3* – цифровой делитель частоты. Стрелками на схемах показано распространение волн тока и фазы

схемы с J_m, играя роль преобразователя фазы на входе блока.

В зависимости от параметров преобразователя фазы (в качестве которого может выступать как один бистабильный контакт J_v, так и последовательное соединение пары джозефсоновских гетероструктур [32]) базовый блок может реализовать все режимы, необходимые для реализации наиболее распространенных цифровых устройств. Разберем далее динамические процессы в базовом блоке для следующих режимов работы: ограничитель, линия передачи, цифровой делитель частоты.

В *режиме ограничителя* (рис. 1(1)) пришедший скачок фазы сверхпроводящего параметра порядка генерирует во входной ячейке (input) токи, которые приводят к изменению фазы на контакте J_{in} и элементе-преобразователе J_v на $\sim 2\pi$. Но соотношения между джозефсоновскими энергиями и характерными временами процессов для J_v и J_m таково, что преобразователь фазы переключается между устойчивыми состояниями раньше элемента, хранящего информацию. Элемент J_m и выходная ячейка в целом (output) остаются в этом режиме в своем исходном равновесном состоянии. Скачок разности фаз на выходе блока не формируется. Последо-

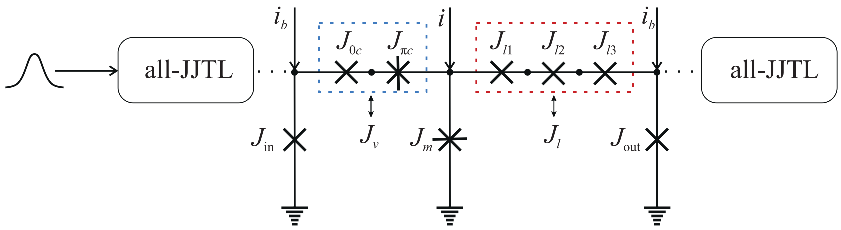

Рис. 2. (Цветной онлайн) Базовый блок схем фазовой логики на основе π-контактов, обозначенных на схеме шестиконечными крестами

вательные переключения джозефсоновских контактов ($J_{\rm in}$) и бистабильных элементов (J_v) показаны на рис. 1(1) стрелками.

В режиме *линии передачи* (рис. 1(2)) преобразователь J_v переключается медленно, и поданная на вход волна скачков фазы создает через него большой ток, изменяя фазы контакта $J_{\rm in}$, а также центрального элемента J_m и выходной ячейки $J_{\rm out}$ на $\sim 2\pi$. Входной импульс, переносящий изменение фазы на 2π, проходит в этом случае через базовый блок, не меняя его состояния. Последовательные переключения джозефсоновских контактов ($J_{\rm in}, J_{\rm out}$) и бистабильных элементов (J_m) также показаны на рис. 1(2) стрелками.

Для промежуточных значений скорости переключения между устойчивыми состояниями (φ_{0v} и φ_{1v}) преобразователя J_v под действием пришедшей на вход информации и хранящий информацию элемент J_m успевает изменить свою фазу с φ_0 на φ_1. В результате состояние базового блока в целом изменяется с "0" на "1", т.е. происходит операция "запись". На рисунке 1(3) это символизирует половина стандартной стрелки. Отметим, что амплитуды импульса тока, возникающего в выходной ячейке ($J_l - J_{\rm out}$), после одной пришедшей на вход волны скачков фазы не хватает для переключения контакта $J_{\rm out}$. Однако после переключения базового элемента J_m изменилось состояние выходной ячейки: в ней начал циркулировать ток (что можно использовать для "считывания" информации). И когда циркулирующий ток суммируется с импульсом тока, вызванным следующей волной изменения фазы, поданной на вход, $J_{\rm out}$ переключается между своими устойчивыми состояниями (с фазами 0 и 2π) и генерирует волну изменения фазы в выходную линию. При этом хранящий информацию элемент J_m возвращается из состояния "1" в состояние "0". На рисунке 1(3) это символизирует вторая половина стандартной стрелки. Можно заключить, что в данном случае базовый блок работает в качестве цифрового *делителя частоты* пополам: каждый второй импульс проходит на выход схемы. Было показано [25], что на основе схем с описываемым функционалом возможна реализация логических элементов, памяти с разрушающим и неразрушающим считыванием, RS- и T-триггеров, полусумматоров и более сложных компонент вычислительных устройств.

Схемы фазовой логики на основе π-контактов. В ряде работ [21, 33–36] было показано, каким образом сосуществование 0- и π-контактов позволяет получить бистабильный φ-контакт. Ключевая идея данной статьи состоит в том, что требуемые бистабильные элементы блока фазовой логики можно создать, комбинируя относительно простые в изготовление джозефсоновские 0- и π-контакты. На рисунке 2 представлен вариант базового логического блока, в котором преобразователь фазы J_v выполнен в виде комбинации 0- и π-контактов ($J_{0C}, J_{\pi C}$). В качестве центрального элемента блока J_m также можно использовать π-структуру.

Суммарная джозефсоновская энергия входной ячейки, состоящей из контактов $J_{\rm in}$, J_{0C}, $J_{\pi C}$ и J_m, как функция разности фаз на переходах $J_{\rm in}$, и J_m, обладает двумя локальными минимумами (см. рис. 3). Видно, что в устойчивых состояниях фаза на π-контактах равна $\pi + 2\pi n$, а на 0-контактах $-2\pi n$, где n – целое.

В этом случае во входной ячейке у нас четное число π-контактов, суммарный набег фазы параметра порядка по контуру равен $2\pi n$ и отсутствует циркулирующий ток. Это исключает нежелательное обратное влияние на другие блоки, а также позволяет удобно подключать схемы фазовой логики к стандартным элементам БОК-логики. Отметим, что бистабильную входную ячейку можно было бы получить без использования π-контактов, вводя вместо них большое количество последовательно соединенных 0-структур, обеспечивающих требуемый набег фазы параметра порядка.

В выходной ячейке имеется нечетное число π-контактов, так что разность между фазой J_m и фазой 0-контактов создает в ней циркулирующий ток,

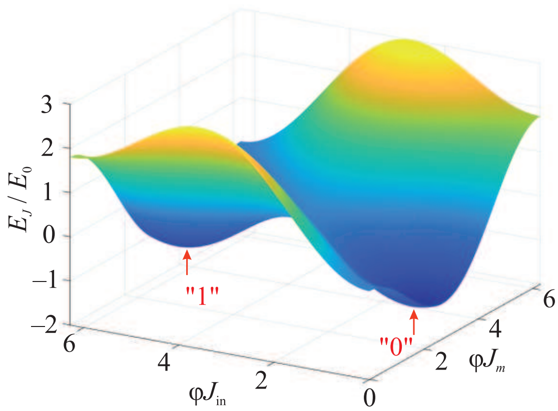

Рис. 3. (Цветной онлайн) Джозефсоновская энергия входной ячейки и центрального элемента базового блока фазовой логики на 0- и π-контактах (в режиме делителя частоты) как функция фазы в гетероструктурах J_m и $J_{\rm in}$. Особо выделены устойчивые логические состояния "0" и "1" для рассматриваемой системы. Критические токи контактов J_{0C} и $J_{\pi C}$ составляют соответственно 1.2 и -0.35 от критического тока контакта $J_{\rm in}$. Нормированные токи питания: $i_b = 0.77$, $i = 0.4$

который может протекать в двух направлениях, что позволяет считывать состояние блока. Это навязывает падение фазы параметра порядка π на элементе J_l. Оказалось, что для устойчивой работы схемы оптимальным является реализация такого элемента в виде стека, состоящего из трех последовательно включенных контактов J_{l1-3}.

Чтобы продемонстрировать работоспособность всех перечисленных выше ключевых режимов обработки информации, рассмотрим динамические процессы в базовом блоке, представленном на рис. 2. При моделировании процессов управления и считывания состояния базового блока мы будем рассматривать передающие линии, состоящие только из джозефсоновских контактов, all-JJTL [25]. Система дифференциальных уравнений с учетом баланса токов для каждого узла была записана в рамках обобщенной резистивной модели и решалась с использованием методов Рунге–Кутта 4-го и 5-го порядков, а также метода Гаусса для разрешения систем линейных уравнении. Для j-го джозефсоновского контакта в составе блока уравнение движения имеет вид:

$$i_{\Sigma j} = i_{Cj}\sin(\varphi_j) + \alpha_j\dot{\varphi}_j + \ddot{\varphi}_j, \qquad (1)$$

где $i_{\Sigma j}$ – суммарный затекающий в контакт ток, i_{Cj} – критический ток, α_j – коэффициент демпфирования (затухания). Все токи нормированы на критический ток входного контакта; точка означает, что дифференцирование происходит по времени τ, нормированному на характерное время входного контакта τ_C.

На рисунке 4a–c представлены зависимости фазы на контактах блока от времени для каждого из режимов, возникающие после того, как на вход поступают последовательно волны изменения фазы.

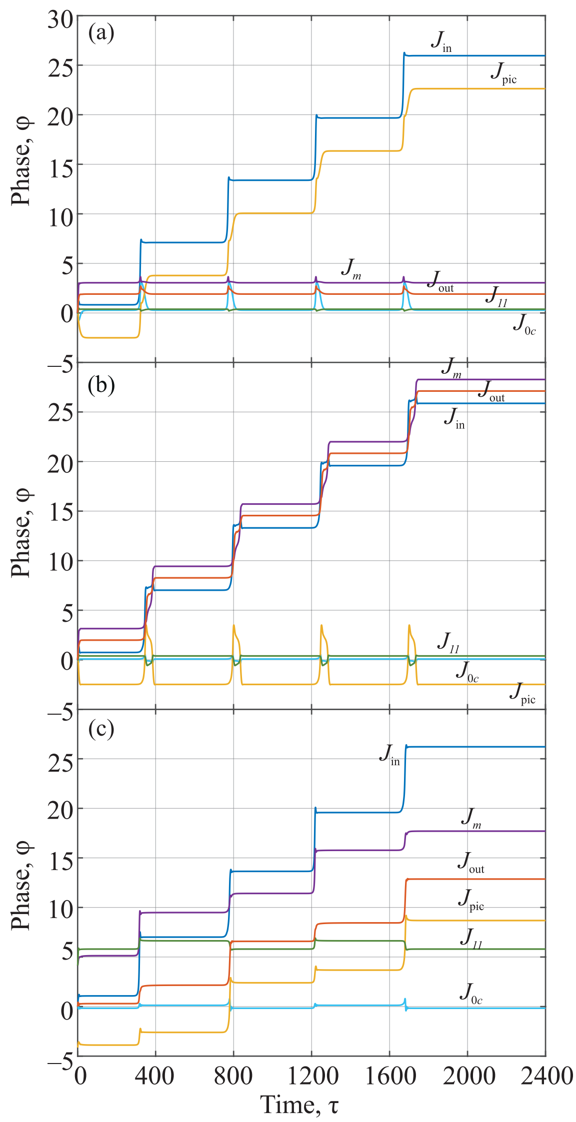

Рис. 4. (Цветной онлайн) Зависимости фазы на контактах блока от нормированного на τ_C времени для режимов: (a) – 1 – ограничитель, $i_{\pi C} = -0.05$, $i_{0C} = 0.1$; (b) – 2 – линия передачи, $i_{\pi C} = -0.2$, $i_{0C} = 1.2$; (c) – 3 – цифровой делитель частоты, $i_{\pi C} = -0.35$, $i_{0C} = 1.2$. Нормированные токи питания указаны на рис. 3; $\alpha_{0C} = 0.8$, $\alpha_{\pi C} = 0.9$

Так, в *режиме ограничителя* (рис. 4a), когда критический ток контакта $J_{\pi C}$ чуть меньше, чем у J_{0C}, именно π-структура является "слабым местом" во входной ячейке, на котором происходит скачок фазы на $\sim 2\pi$. В этом случае фазы контактов J_m и $J_{\rm out}$ практически не меняются. В режиме *линии передачи* (рис. 4b) каждая волна изменения фазы на входе меняет фазу контактов J_m и $J_{\rm out}$ на 2π, а затем распространяется в выходную линию передачи. Импульсы проходят через базовый блок, не меняя его состояния: в конце приведенного для иллюстрации расчета $\pi + 8\pi$. В режиме *деления частоты пополам* каждый импульс на входе меняет фазу контакта J_m на $\sim\pi$ (т.е. в данном случае $\varphi_1 \approx \pi$ и $\varphi_2 \approx 2\pi$), но лишь каждый второй – фазу контакта $J_{\rm out}$ на 2π.

Выбирать режим работы блока (ограничитель, линия передачи, цифровой делитель частоты) мы можем за счет выбора величин критических токов 0-контакта, i_{0C}, и π-контакта, $i_{\pi C}$ (рис. 5). Наглядно

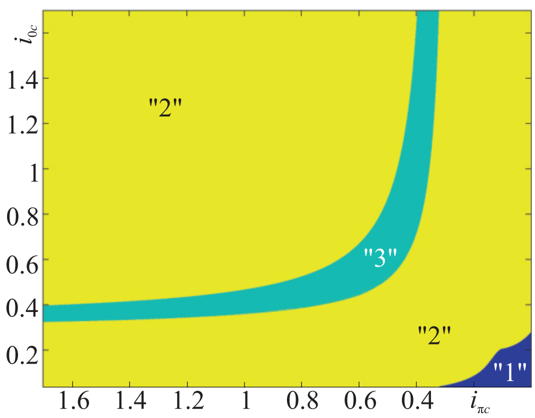

Рис. 5. (Цветной онлайн) Режимы работы базового блока фазовой логики на 0- и π-контактах на плоскости параметров контактов преобразователя фазы во входной ячейке: $i_{\pi C}$, i_{0C}. Синим цветом обозначен режим ограничителя (“1”), желтым – линии передачи (“2”), голубым цветом – режим деления частоты пополам (“3”). Нормированные токи питания и коэффициенты демпфирования как на рис. 3 и 4

видно, что режим ограничителя реализуется, когда переключения между соседними устойчивыми состояниями в преобразователе фазы во входной ячейке происходят раньше, чем в J_m. Из уравнения движения (1) видно, что скорость изменения фазы на контакте определяется параметром α_j. Однако если у медленного контакта относительно маленький критический ток, то он может начать переключаться раньше. Для режима деления частоты пополам нужны промежуточные значения быстродействия этого элемента в предлагаемом блоке фазовой логики.

Практическая реализация базового блока фазовой логики на π-контактах. Джозефсоновские 0-контакты на практике – это, обычно, туннельные гетероструктуры сверхпроводник–изолятор–сверхпроводник (SIS) типа “сэндвич”. Совместимые с БОК-схемами и квантовыми регистрами π-контакты создают в виде гетероструктур сверхпроводник–ферромагнетик–сверхпроводник (SFS) с достаточно большим критическим током и малым сопротивлением в нормальном состоянии [27, 28, 37, 38]. Как следствие, такие джозефсоновские π-контакты имеют малое характерное напряжение и низкую характерную частоту [39–42]. Учет низкого быстродействия π-контактов в сравнении с 0-контактами показал замедление работы ячейки. На рисунке 6 видно, что длительность одного рабочего такта схемы увеличилась примерно в полтора раза. Также мы зафиксировали и сужение области деления частоты пополам на плоскости параметров контактов в составе преобразователя фазы (рис. 5). Решить эту проблему можно за счет перехода к стекам, отталкиваясь от концепции гетероструктуры сверхпроводник–изолятор–сверхпроводник–ферромагнетик (SIsFS). Для таких составных контактов характерные напряжение и частота имеют тот же порядок, что и для туннельных джозефсоновских контактов, используемых в логических схемах БОК-логики [39–42].

Также перспективной представляется использование наноразмерных (с площадью 18000–30000 нм^2) джозефсоновских контактов с областью слабой связи из нормального металла, выполненной в виде мостика переменной толщины [43, 44]. Поскольку в предложенном базовом блоке функциональная геометрическая индуктивность всюду заменена на джозефсоновскую, такое решение даст особенно заметный выигрыш в компактности разрабатываемых цифровых устройств. π-контакты в рамках этого подхода можно получить, если использовать в области слабой связи дополнительные слои магнитного изолятора.

Заключение. Предложенная схема позволяет реализовать весь функционал схем фазовой логики без использования трудных в изготовлении бистабильных [45] джозефсоновских контактов. При этом удается сохранить и одно из ключевых преимуществ рассматриваемого подхода – малые планарные размеры схем и, как следствие, возможность добиваться высокой степени интеграции для джозефсоновских цифровых устройств. Для уменьшения планарных размеров предложенного блока джозефсоновские контакты (например, контакты J_{l1-3} в выходной ячейке) могут быть выполнены в виде компактного стека [46].

Планарный размер предложенного базового блока можно оценить как сумму площадей всех джо-

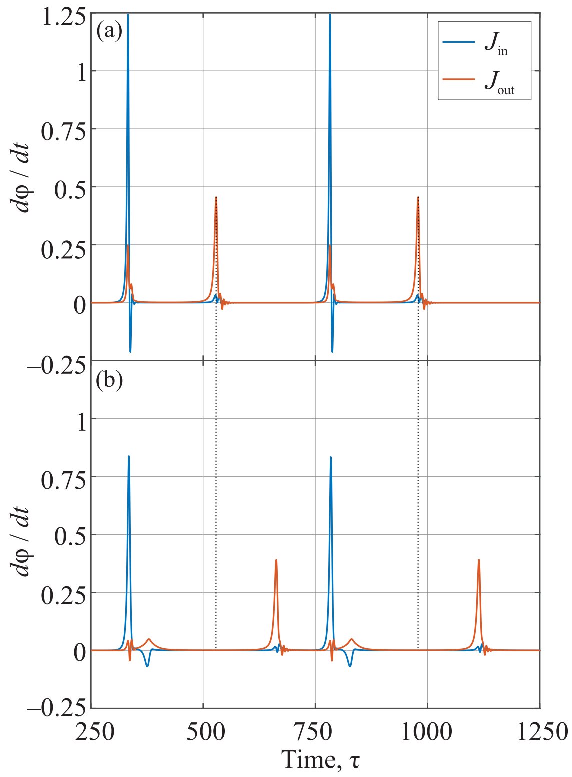

Рис. 6. (Цветной онлайн) Зависимости от времени нормированного напряжения, $d\varphi/d\tau$, на входе и выходе базового π-блока для: (a) – одинаковых сопротивлений 0- и π-контактов ($\alpha_{0C} = 0.8$, $\alpha_{\pi C} = 0.9$, $\alpha_m = 1$); (b) – малого сопротивления π-контактов ($\alpha_{0C} = 0.8$, $\alpha_{\pi C} = 9$, $\alpha_m = 10$). Синим цветом обозначены импульсы на входе, красным цветом – на выходе блока

зефсоновских контактов схемы и сумму площадей соединений между ними. Если допустить, что площади всех контактов равны S, и такую же площадь занимают соединения, то тогда площадь базового блока составит $14S$. В случае технологии MIT LL для туннельных структур сверхпроводник–изолятор–сверхпроводник $S \approx 0.4\,$мкм^2 [47], а площадь базового блока составит примерно $5.6\,$мкм^2. В случае наноразмерного джозефсоновского контакта с областью слабой связи из нормального металла, выполненной в виде мостика переменной толщины [43], искомая площадь составит $S \approx 0.018\,$мкм^2, а площадь базового блока составит $0.252\,$мкм^2. Обозначенные ориентиры делают весьма актуальной перспективы практической реализации схемы джозефсоновской фазовой логики на основе π-контактов.

Моделирование динамических процессов в блоках фазовой логики выполнено при поддержке гранта Российского научного фонда # 20-12-00130; доступ к необходимой научно-технической литературе получен при поддержке Междисциплинарной научно-образовательной школы МГУ "Фотонные и квантовые технологии. Цифровая медицина".

1. D. S. Holmes, A. L. Ripple, and M. A. Manheimer, IEEE Trans. Appl. Supercond. **23**, 1701610 (2013).
2. O. A. Mukhanov, IEEE Trans. Appl. Supercond. **21**, 760 (2011).
3. F. Kirichenko, I. V. Vernik, J. A. Vivalda, R. T. Hunt, and D. T. Yohannes, IEEE Trans. Appl. Supercond. **25**, 1300505, (2015).
4. S. K. Tolpygo, Low Temp. Phys. **42**, 361 (2016).
5. I. I. Soloviev, N. V. Klenov, S. V. Bakurskiy, M. Y. Kupriyanov, A. L. Gudkov, and A. S. Sidorenko, Beilstein J. Nanotechnol. **8**, 2689 (2017).
6. S. K. Tolpygo, V. Bolkhovsky, R. Rastogi, S. Zarr, A. L. Day, E. Golden, T. J. Weir, A. Wynn, and L. M. Johnson, IEEE Trans. Appl. Supercond. **29**, 1102513 (2019).
7. S. K. Tolpygo, V. Bolkhovsky, T. J. Weir, A. Wynn, D. E. Oates, L. M. Johnson, and M. A. Gouker, IEEE Trans. Appl. Supercond. **26**, 1 (2016).
8. S. K. Tolpygo, V. Bolkhovsky, S. Zarr, T. J. Weir, A. Wynn, A. L. Day, L. M. Johnson, and M. A. Gouker, IEEE Trans. Appl. Supercond. **27**, 1100815 (2017).
9. S. K. Tolpygo, V. Bolkhovsky, D. E. Oates, R. Rastogi, S. Zarr, A. L. Day, T. J. Weir, A. Wynn, and L. M. Johnson, IEEE Trans. Appl. Supercond. **28**, 1100212 (2018).
10. V. K. Semenov, Y. A. Polyakov, and S. K. Tolpygo, IEEE Trans. Appl. Supercond. **29**, 1302809 (2019).
11. A. Inamdar, J. Ravi, S. Miller, S. S. Meher, M. E. Çelik, and D. Gupta, IEEE Trans. Appl. Supercond. **31**(5), 1301307 (2021).
12. C. L. Ayala, T. Tanaka, R. Saito, M. Nozoe, N. Takeuchi, and N. Yoshikawa, IEEE J. Solid-State Circuits **56**(4), 1152 (2020).
13. P. Krantz, M. Kjaergaard, F. Yan, T. P. Orlando, S. Gustavsson, and W. D. Oliver, Appl. Phys. Rev. **6**(2), 021318 (2019).
14. I. I. Soloviev, N. V. Klenov, A. L. Pankratov, L. S. Revin, E. Il'ichev, and L. S. Kuzmin, Phys. Rev. B **92**, 014516 (2015).
15. A. Opremcak, I. V. Pechenezhskiy, C. Howington, B. G. Christensen, M. A. Beck, E. Leonard Jr., J. Suttle, C. Wilen, K. N. Nesterov, G. J. Ribeill, T. Thorbeck, F. Schlenker, M. G. Vavilov, B. L. T. Plourde, R. McDermott, Science **361**(6408), 1239 (2018).
16. C. Howington, A. Opremcak, R. McDermott, A. Kirichenko, O. A. Mukhanov, and B. L. Plourde, EEE Trans. Appl. Supercond. **29**(5), 1 (2019).
17. L. Howe, M. Castellanos-Beltran, A. J. Sirois, D. Olaya, J. Biesecker, P. D. Dresselhaus, S. P. Benz, and P. F. Hopkins, arXiv preprint arXiv:2111.12778 (2021).

18. M. V. Bastrakova, N. V. Klenov, V. I. Ruzhickiy, I. I. Soloviev, and A. M. Satanin, Supercond. Sci. Technol. **35**(5), 055003 (2022).
19. S. K. Tolpygo, V. Bolkhovsky, R. Rastogi, S. Zarr, A. L. Day, T. J. Weir, A. Wynn, and L. M. Johnson, arXiv preprint arXiv:1704.07683 (2017).
20. A. Buzdin and A. Koshelev, Phys. Rev. B **67**, 220504 (2003).
21. S. V. Bakurskiy, N. V. Klenov, T. Yu. Karminskaya, M. Yu. Kupriyanov, and A. A. Golubov, Supercond. Sci. Technol. **26**(1), 015005–1 (2013).
22. A. Pal, Z. H. Barber, J. W. A. Robinson, and M. G. Blamire, Nat. Commun. **5**, 3340 (2014).
23. S. V. Bakurskiy, V. I. Filippov, V. I. Ruzhickiy, N. V. Klenov, I. I. Soloviev, M. Yu. Kupriyanov, and A. A. Golubov, Phys. Rev. B **95**(9), 094522–1 (2017).
24. M. J. A. Stoutimore, A. N. Rossolenko, V. V. Bolginov, V. A. Oboznov, A. Y. Rusanov, D. S. Baranov, N. Pugach, S. M. Frolov, V. V. Ryazanov, and D. J. van Harlingen, Phys. Rev. Lett. **121**, 177702 (2018).
25. I. I. Soloviev, V. I. Ruzhickiy, S. V. Bakurskiy, N. V. Klenov, M. Yu. Kupriyanov, A. A. Golubov, O. V. Skryabina, and V. S. Stolyarov, Phys. Rev. Appl. **16**(1), 014052 (2021).
26. I. Salameh, E. G. Friedman, and S. Kvatinsky, IEEE Transactions on Circuits and Systems II: Express Briefs (2022), doi: 10.1109/TCSII.2022.3162723.
27. V. V. Ryazanov, V. A. Oboznov, A. Y. Rusanov, A. V. Veretennikov, A. A. Golubov, and J. Aarts, Phys. Rev. Lett. **86**, 2427 (2001).
28. T. Kontos, M. Aprili, J. Lesueur, F. Gent, B. Stephanidis, and R. Boursier, Phys. Rev. Lett. **89**, 137007 (2002).
29. V. A. Oboznov, V. V. Bol'ginov, A. K. Feofanov, V. V. Ryazanov, and A. I. Buzdin, Phys. Rev. Lett. **96**, 197003 (2006).
30. A. A. Bannykh, J. Pfeiffer, V. S. Stolyarov, I. E. Batov, V. V. Ryazanov, and M. Weides, Phys. Rev. B **79**(5), 054501 (2009).
31. V. V. Bolginov, A. N. Rossolenko, A. B. Shkarin, V. A. Oboznov, and V. V. Ryazanov, J. Low Temp. Phys. **190**(5–6), 302 (2018).
32. A. A. Golubov, M. Y. Kupriyanov, and E. Il'ichev, Rev. Mod. Phys. **76**(2), 411 (2004).
33. R. G. Mints, Phys. Rev. B **57**, R3222 (1998).
34. N. G. Pugach, E. B. Goldobin, R. Kleiner, and D. Koelle, Phys. Rev. B **81**, 104513 (2010).
35. E. Goldobin, D. Koelle, and R. Kleiner, Phys. Rev. B **91**(21), 214511 (2015).
36. D. M. Heim, N. G. Pugach, M. Yu. Kupriyanov, E. Goldobin, D. Koelle, R. Kleiner, N. Ruppelt, M. Weides, and H. Kohlstedt, New J. Phys. **17**(11), 113022 (2015).
37. A. K. Feofanov, V. A. Oboznov, V. V. Bol'ginov, J. Lisenfeld, S. Poletto, V. V. Ryazanov, A. N. Rossolenko, M. Khabipov, D. Balashov, A. B. Zorin, P. N. Dmitriev, V. P. Koshelets, and A. V. Ustinov, Nature Phys. **6**, 593 (2010).
38. S. K. Tolpygo, V. Bolkhovsky, R. Rastogi, S. Zarr, A. L. Day, E. Golden, T. J. Weir, A. Wynn, and L. M. Johnson, IEEE Trans. Appl. Supercond. **29**(5), 1101208 (2019).
39. T. I. Larkin, V. V. Bol'ginov, V. S. Stolyarov, V. V. Ryazanov, I. V. Vernik, S. K. Tolpygo, and O. A. Mukhanov, Appl. Phys. Lett. **100**, 222601 (2012).
40. S. V. Bakurskiy, N. V. Klenov, I. I. Soloviev, V. V. Bol'ginov, V. V. Ryazanov, I. V. Vernik, O. A. Mukhanov, M. Yu. Kupriyanov, and A. A. Golubov, Appl. Phys. Lett. **102**, 192603 (2013).
41. S. V. Bakurskiy, N. V. Klenov, I. I. Soloviev, M. Yu. Kupriyanov, and A. A. Golubov, Phys. Rev. B **88**(14), 144519 (2013).
42. L. N. Karelina, R. A. Hovhannisyan, I. A. Golovchanskiy, V. I. Chichkov, A. Ben Hamida, V. S. Stolyarov, L. S. Uspenskaya, Sh. A. Erkenov, V. V. Bolginov, and V. V. Ryazanov, J. Appl. Phys. **130**(17), 173901 (2021).
43. I. I. Soloviev, S. V. Bakurskiy, V. I. Ruzhickiy, N. V. Klenov, M. Yu. Kupriyanov, A. A. Golubov, O. V. Skryabina, and V. S. Stolyarov, Phys. Rev. Appl. **16**(4), 044060 (2021).
44. L. N. Karelina, V. V. Bolginov, Sh. A. Erkenov, S. V. Egorov, I. A. Golovchanskiy, V. I. Chichkov, A. Ben Hamida, and V. V. Ryazanov, JETP Lett. **112**(11), 705?709 (2020).
45. V. I. Ruzhickiy, A. A. Maksimovskaya, I. I. Soloviev, S. V. Bakurskiy, and N. V. Klenov, JETP **132**(5), 800 (2021).
46. M. A. Castellanos-Beltran, D. I. Olaya, A. J. Sirois, P. D. Dresselhaus, S. P. Benz, and P. F. Hopkins, IEEE Trans. Appl. Supercond. **29**, 1300705 (2019).
47. S. K. Tolpygo, V. Bolkhovsky, R. Rastogi, S. Zarr, E. Golden, T. J. Weir, L. M. Johnson, V. K. Semenov, and M. A. Gouker, *A 150-nm process node of an eightNb-layer fully planarized process for superconductor electronics*, in *Applied Superconductivity Conference, ASC 2020 Virtual Conference Superconductivity*, News Forum (SNF) **49**(14), STP669 Wk1EOr3B?0 (2021); https://snf.ieeecsc.org/issues/snfissue-no49-march-2021.